

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-74983

(P2002-74983A)

(43)公開日 平成14年3月15日 (2002.3.15)

(51)Int.Cl.⁷

G 11 C 29/00

識別記号

6 0 5

F I

テマコード(参考)

6 3 1

G 11 C 29/00

6 0 5 Z 5 B 0 0 3

6 5 2

6 3 1 Z 5 B 0 1 8

G 06 F 12/16

3 1 0

G 06 F 12/16

6 5 2 5 B 0 2 5

3 3 0

3 1 0 P 5 F 0 3 8

3 3 0 C 5 L 1 0 6

審査請求 未請求 請求項の数 7 O L (全 11 頁) 最終頁に続く

(21)出願番号

特願2000-255653(P2000-255653)

(71)出願人 000232036

エヌイーシーマイクロシステム株式会社

神奈川県川崎市中原区小杉町1丁目403番

53

(22)出願日 平成12年8月25日 (2000.8.25)

(72)発明者 鈴木 和彦

神奈川県川崎市中原区小杉町1丁目403番

53 日本電気アイシーマイコンシステム株

式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

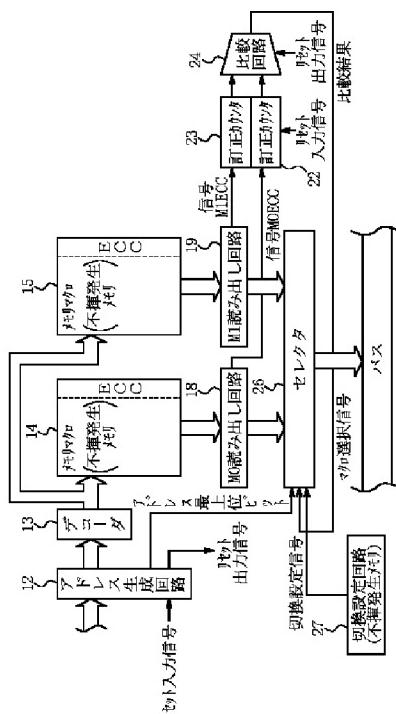
最終頁に続く

(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】出荷後の製品寿命または信頼性を更に向上させる。

【解決手段】リセットごとにメモリマクロ14, 15のデータ読み出しおよびエラー検出訂正を並列に行うアドレス信号を生成するアドレス生成回路12と、メモリマクロ14, 15のデータ読み出しおよびエラー検出訂正をそれぞれ行いエラー検出訂正を示す信号および読み出しデータをそれぞれ出力するM0, M1読み出し回路18, 19と、リセットごとにM0, M1読み出し回路18, 19のエラー検出訂正を示す信号をそれぞれ計数する訂正カウンタ22, 23と、リセットごとに訂正カウンタ22, 23の計数値をそれぞれ入力して比較し最小計数値に対応したメモリマクロの選択信号を比較結果として出力する比較回路24と、M0, M1読み出し回路18, 19の読み出しデータをそれぞれ入力し比較結果に基づき選択してバスに出力するセレクタ27とを備える。



【特許請求の範囲】

【請求項1】 エラー検出訂正機能付き不揮発性メモリのセルアレイ部がマクロセルとして登録されてそれぞれ配置配線された複数のメモリマクロを備える半導体集積回路において、リセットごとに前記複数のメモリマクロのデータ読み出しおよびエラー検出訂正をそれぞれ行いエラー検出訂正の回数をそれぞれ計数して比較し1つのメモリマクロの読み出しデータを選択することを特徴とする半導体集積回路。

【請求項2】 エラー検出訂正機能付き不揮発性メモリのセルアレイ部がマクロセルとして登録されてそれぞれ配置配線された複数のメモリマクロと、これらメモリマクロの全メモリ容量値の部分値を公称値とする製品への切換設定をテスト時に行う切換設定回路とを備える半導体集積回路において、切換設定によりリセットごとに前記複数のメモリマクロのデータ読み出しおよびエラー検出訂正をそれぞれ行いエラー検出訂正の回数をそれぞれ計数して比較し1つのメモリマクロの読み出しデータを選択することを特徴とする半導体集積回路。

【請求項3】 リセットごとに前記複数のメモリマクロのデータ読み出しおよびエラー検出訂正を並列に行うアドレス信号を生成するアドレス生成回路と、前記アドレス信号をデコードし前記複数のメモリマクロにそれぞれ出力するデコード回路と、前記複数のメモリマクロのデータ読み出しおよびエラー検出訂正をそれぞれ行い、エラー検出訂正を示す信号および読み出しデータをそれぞれ出力する複数の読み出し回路と、リセットごとに前記複数の読み出し回路のエラー検出訂正を示す信号をそれぞれ計数する複数の計数回路と、リセットごとに前記複数の計数回路の計数値をそれぞれ入力して比較し最小計数値に対応したメモリマクロの選択信号を比較結果として出力する比較回路と、前記複数の読み出し回路の読み出しデータをそれぞれ入力し前記比較結果に基づき選択してバスに出力する選択回路とを備える、請求項1または2記載の半導体集積回路。

【請求項4】 エラー検出訂正機能付きメモリのセルアレイ部がマクロセルとして登録されてそれぞれ配置配線された複数のメモリマクロを備える半導体集積回路において、アドレスごとに前記複数のメモリマクロのデータ読み出しおよびエラー検出訂正をそれぞれ行いエラー検出訂正の状況を重み付けにより比較し1つのメモリマクロの読み出しデータを選択することを特徴とする半導体集積回路。

【請求項5】 エラー検出訂正機能付きメモリのセルアレイ部がマクロセルとして登録されてそれぞれ配置配線された複数のメモリマクロと、これらメモリマクロの全メモリ容量値の部分値を公称値とする製品への切換設定をテスト時に行う切換設定回路とを備える半導体集積回路において、切換設定によりアドレスごとに前記複数のメモリマクロのデータ読み出しおよびエラー検出訂正を

それぞれ行いエラー検出訂正の状況を重み付けにより比較し1つのメモリマクロの読み出しデータを選択することを特徴とする半導体集積回路。

【請求項6】 前記複数のメモリマクロのデータ読み出しおよびエラー検出訂正をそれぞれ行い、エラー検出訂正の状況を示す信号および読み出しデータをそれぞれ出力する複数の読み出し回路と、アドレスごとに前記複数の読み出し回路のエラー検出訂正の状況を示す信号をそれぞれ入力し重み付けにより比較し最小重みの信号に対応したメモリマクロの選択信号を比較結果として出力する比較回路と、前記複数の読み出し回路の読み出しデータをそれぞれ入力し前記比較結果に基づき選択してバスに出力する選択回路とを備える、請求項4または5記載の半導体集積回路。

【請求項7】 前記エラー検出訂正の状況を示す信号が、エラー検出を示す信号と、訂正不能エラーを示す信号とを含む、請求項6記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路に関し、特に、全メモリ容量値の部分値を公称値とする製品への切換設定がテスト時に行われる半導体集積回路に関する。

【0002】

【従来の技術】 従来、この種の半導体集積回路は、1製品の開発で複数のメモリ容量製品を展開するために用いられている。たとえば、図7は、この従来の半導体集積回路の例を示すブロック図である。図7を参照すると、この従来の半導体集積回路は、アドレス生成回路11、デコーダ13、メモリマクロ14、メモリマクロ15、M0読み出し回路16、M1読み出し回路17、セレクタ26、切換設定回路27を備える。

【0003】 アドレス生成回路11は、たとえばプログラムカウンタなどの出力を受け、メモリマクロ14またはメモリマクロ15からプログラムコードをフェッチするためのアドレス信号を生成しデコーダ13に出力し、アドレス最上位ビット信号をセレクタ26に出力する。

【0004】 デコーダ13は、アドレス生成回路11からの出力をデコードし、デコード出力をメモリマクロ14、メモリマクロ15に出力する。

【0005】 メモリマクロ14、メモリマクロ15それぞれは、エラー検出訂正機能付き不揮発性メモリのセルアレイ部からなり、C P Uや周辺機器を制御するためのプログラムコードが書き込まれ、同時に、このプログラムコードを読み出す際にメモリマクロの一部が故障して読み出したプログラムコードに誤りがあった場合にエラー検出訂正するためエラー訂正コード（E C C）が書き込まれる。

【0006】 M0読み出し回路16、M1読み出し回路17は、メモリマクロ14、メモリマクロ15のプログ

ラムコード読み出しおよびエラー検出訂正をそれぞれ行い、読み出したプログラムコードをセレクタ26にそれぞれ出力する。

【0007】セレクタ26は、切換設定回路部27の切換設定信号、マクロ選択信号、アドレス最上位ビット信号の論理結果により、M0読み出し回路106またはM1読み出し回路109の出力を選択してバスへ出力する。このセレクタ26の入出力機能の真理値表を説明図として図8に示す。

【0008】切換設定回路27は、不揮発性メモリを含み、メモリマクロ14、メモリマクロ15の全メモリ容量値の部分値を公称値とする製品への切換設定を出荷前のテスト時に行う。すなわち、メモリマクロ14、メモリマクロ15を共に使用するか、片方のみを使用するかの切換設定を行い、その切換設定信号をセレクタ26に出力する。

【0009】次に、この従来の半導体集積回路におけるプログラムコードの読み出し動作について簡単に説明する。ここでは、説明を簡潔にするため、2つのメモリマクロ14、15のメモリ容量がそれぞれ128kBであるとする。

【0010】まず、切換設定回路27の切換設定信号が“0”である場合、セレクタ26において、図8に示されるように、マクロ選択信号の入力は無効になり、アドレス最上位ビット信号の“0”または“1”に対応して、M0読み出し回路16またはM1読み出し回路17の出力が選択され、メモリマクロ14またはメモリマクロ15の読み出しプログラムコードがバスに出力される。すなわち、メモリマクロ14、メモリマクロ15が共に使用され、メモリ容量の公称値をメモリマクロ14、メモリマクロ15合計の256kBとすることができる。

【0011】一方、切換設定回路27の切換設定信号が“1”である場合、セレクタ26において、図8に示されるように、アドレス最上位ビット信号の入力は無効になり、マクロ選択信号の“0”または“1”に対応して、M0読み出し回路16またはM1読み出し回路17の出力が選択され、メモリマクロ14またはメモリマクロ15の読み出しプログラムコードがバスに出力される。このマクロ選択信号は、切換設定回路27の切換設定信号と同じく、製品出荷前のテスト時に決定され、メモリマクロ14、メモリマクロ15の内、どちらか一方のメモリマクロが故障している場合に、故障していない側のメモリマクロを選択するための信号として用いられる。すなわち、M0読み出し回路16またはM1読み出し回路17の片方の出力が常に選択され、メモリマクロ14またはメモリマクロ15の片方が常に使用され、メモリ容量の公称値をメモリマクロ14またはメモリマクロ15の128kBとすることができる。

【0012】このように、従来の半導体集積回路は、切

換設定回路27の切換設定信号により、メモリ容量の公称値をメモリマクロ14、メモリマクロ15合計の256kBとするか、一方のメモリマクロのみの128kBとするかの切換設定が可能であり、1製品の開発で複数のメモリ容量製品を展開し、製品開発の手間を省くことができる。

【0013】

【発明が解決しようとする課題】図7に示した従来の半導体集積回路において、プログラムコードが書き込まれるメモリマクロ14、15の全メモリ容量256kBの半分128kBのみを使用する場合、製品出荷後に使用されるメモリマクロが固定されており、読み出されるメモリマクロは、片方のメモリマクロのみであるため、製品の寿命及び信頼性は一方のメモリマクロの特性に限定されている。しかし、現在、車載や航空宇宙などの分野においては、より高い信頼性が求められている。

【0014】したがって、本発明の目的は、出荷後の製品寿命または信頼性を更に向上させることにある。

【0015】

【課題を解決するための手段】そのため、本発明は、エラー検出訂正機能付き不揮発性メモリのセルアレイ部がマクロセルとして登録されてそれぞれ配置配線された複数のメモリマクロを備える半導体集積回路において、リセットごとに前記複数のメモリマクロのデータ読み出しおよびエラー検出訂正をそれぞれ行いエラー検出訂正の回数をそれぞれ計数して比較し1つのメモリマクロの読み出しデータを選択している。

【0016】また、本発明は、エラー検出訂正機能付き不揮発性メモリのセルアレイ部がマクロセルとして登録されてそれぞれ配置配線された複数のメモリマクロと、これらメモリマクロの全メモリ容量値の部分値を公称値とする製品への切換設定をテスト時に行う切換設定回路とを備える半導体集積回路において、切換設定によりリセットごとに前記複数のメモリマクロのデータ読み出しおよびエラー検出訂正をそれぞれ行いエラー検出訂正の回数をそれぞれ計数して比較し1つのメモリマクロの読み出しデータを選択している。

【0017】また、リセットごとに前記複数のメモリマクロのデータ読み出しおよびエラー検出訂正を並列に行うアドレス信号を生成するアドレス生成回路と、前記アドレス信号をデコードし前記複数のメモリマクロにそれぞれ出力するデコード回路と、前記複数のメモリマクロのデータ読み出しおよびエラー検出訂正をそれぞれ行い、エラー検出訂正を示す信号および読み出しデータをそれぞれ出力する複数の読み出し回路と、リセットごとに前記複数の読み出し回路のエラー検出訂正を示す信号をそれぞれ計数する複数の計数回路と、リセットごとに前記複数の計数回路の計数値をそれぞれ入力して比較し最小計数値に対応したメモリマクロの選択信号を比較結果として出力する比較回路と、前記複数の読み出し回路

の読み出しデータをそれぞれ入力し前記比較結果に基づき選択してバスに出力する選択回路とを備えている。

【0018】また、本発明は、エラー検出訂正機能付きメモリのセルアレイ部がマクロセルとして登録されてそれぞれ配置配線された複数のメモリマクロを備える半導体集積回路において、アドレスごとに前記複数のメモリマクロのデータ読み出しおよびエラー検出訂正をそれぞれ行いエラー検出訂正の状況を重み付けにより比較し1つのメモリマクロの読み出しデータを選択している。

【0019】また、本発明は、エラー検出訂正機能付きメモリのセルアレイ部がマクロセルとして登録されてそれぞれ配置配線された複数のメモリマクロと、これらメモリマクロの全メモリ容量値の部分値を公称値とする製品への切換設定をテスト時に行う切換設定回路とを備える半導体集積回路において、切換設定によりアドレスごとに前記複数のメモリマクロのデータ読み出しおよびエラー検出訂正をそれぞれ行いエラー検出訂正の状況を重み付けにより比較し1つのメモリマクロの読み出しデータを選択している。

【0020】また、前記複数のメモリマクロのデータ読み出しおよびエラー検出訂正をそれぞれ行い、エラー検出訂正の状況を示す信号および読み出しデータをそれぞれ出力する複数の読み出し回路と、アドレスごとに前記複数の読み出し回路のエラー検出訂正の状況を示す信号をそれぞれ入力し重み付けにより比較し最小重みの信号に対応したメモリマクロの選択信号を比較結果として出力する比較回路と、前記複数の読み出し回路の読み出しデータをそれぞれ入力し前記比較結果に基づき選択してバスに出力する選択回路とを備えている。

【0021】また、前記エラー検出訂正の状況を示す信号が、エラー検出を示す信号と、訂正不能エラーを示す信号とを含んでいる。

【0022】

【発明の実施の形態】次に、本発明について図面を参照して説明する。図1は、本発明の半導体集積回路の実施形態1を示すブロック図である。図1を参照すると、本実施形態の半導体集積回路は、アドレス生成回路12、デコーダ13、メモリマクロ14、メモリマクロ15、M0読み出し回路18、M1読み出し回路19、訂正カウンタ22、訂正カウンタ23、比較回路24、セレクタ26、切換設定回路27を備える。ここで、アドレス生成回路12、M0読み出し回路18、M1読み出し回路19、訂正カウンタ22、訂正カウンタ23、比較回路24以外の各ブロックは、図7で説明した従来の半導体集積回路の各ブロックと同じであり、重複説明を省略する。

【0023】アドレス生成回路12は、リセット入力信号に対応して、リセットごとに各メモリマクロ14、15のデータ読み出しおよびエラー検出訂正を並列に行うアドレス信号を生成し、このリセット時のデータ読み出

しあよびエラー検出訂正の終了に同期して、リセット出力信号を内部のCPUなどへ出力し、図7におけるアドレス生成回路11と同じく、たとえば、プログラムカウンタなどの出力を受け、メモリマクロ14またはメモリマクロ15からプログラムコードをフェッチするためのアドレス信号を生成しデコーダ13に出力し、アドレス最上位ビット信号をセレクタ26に出力する。

【0024】M0読み出し回路18、M1読み出し回路19は、図7におけるM0読み出し回路16、M1読み出し回路17と同じく、メモリマクロ14、メモリマクロ15のプログラムコード読み出しおよびエラー検出訂正をそれぞれ行い、読み出したプログラムコードをセレクタ26にそれぞれ出力し、エラー検出訂正を示す信号M0ECC、M1ECCを訂正カウンタ22、訂正カウンタ23にそれぞれ出力する。

【0025】訂正カウンタ22、訂正カウンタ23は、リセット入力信号に対応して、リセットごとにM0読み出し回路18、M1読み出し回路19のエラー検出訂正を示す信号M0ECC、M1ECCをそれぞれ計数し、その計数値をリセット出力信号に対応して比較回路24にそれぞれ出力する。

【0026】比較回路24は、リセットごとに訂正カウンタ22、訂正カウンタ23の計数値をそれぞれ入力して比較し、リセット出力信号の“1”変化に同期して、最小計数値に対応したメモリマクロの選択信号を比較結果としてセレクタ26に出力する。たとえば、訂正カウンタ23の計数値が訂正カウンタ22の計数値より小さい場合、比較結果“1”をセレクタ26に出力する。

【0027】図2は、本実施形態の半導体集積回路における読み出し動作例を示すタイミング図である。図8、図2を参照して、本実施形態の半導体集積回路における読み出し動作を説明する。ここで、説明を簡略にするため、従来と同じく、メモリマクロ14、メモリマクロ15のメモリ容量をそれぞれ128kBとする。

【0028】まず、切換設定回路27の切換設定信号が“0”である場合、セレクタ26において、マクロ選択信号として比較回路24の比較結果が入力されているが、図8に示されるように、マクロ選択信号の入力は無効になり、アドレス最上位ビット信号の“0”または“1”に対応して、M0読み出し回路18またはM1読み出し回路19の出力が選択され、メモリマクロ14またはメモリマクロ15の読み出しプログラムコードがバスに出力される。すなわち、メモリマクロ14、メモリマクロ15が共に使用され、メモリ容量の公称値をメモリマクロ14、メモリマクロ15合計の256kBとすることができる。

【0029】一方、切換設定回路27の切換設定信号が“1”である場合、使用するメモリ容量を128kBとし、メモリマクロ104とメモリマクロ107には同一内容のプログラムコードが予め書き込まれている。ま

た、セレクタ26において、図8に示されるように、アドレス最上位ビット信号の入力は無効になり、マクロ選択信号として入力されている比較回路24の比較結果の“0”または“1”に対応して、M0読み出し回路18またはM1読み出し回路19の出力が選択され、メモリマクロ14またはメモリマクロ15の読み出しプログラムコードがバスに出力される。

【0030】この比較回路24の比較結果は、図2に示されるように、タイミングT0～Tn-1でリセットごとに並列に行われる各メモリマクロ14, 15のデータ読み出しおよびエラー検出訂正の結果により、タイミングTnのリセット出力信号の“1”変化に同期して出力される。

【0031】まず、タイミングT0において、電源電圧を投入し、リセット入力信号が“0”となり、アドレス生成回路12, M0読み出し回路18, M1読み出し回路19, 訂正カウンタ22, 訂正カウンタ23はリセットされ、比較結果は“0”となる。

【0032】その後、タイミングT1において、リセット入力信号が“1”となり、アドレス生成回路12が、リセット出力信号として“0”を出力している期間中、メモリマクロ14, メモリマクロ15に対し最下位アドレスから最上位アドレスまで順次インクリメントしたアドレス値のアドレス信号を生成し、デコーダ13により指定されたアドレスのプログラムコードおよびエラー訂正コードECCをメモリマクロ14, メモリマクロ15からM0読み出し回路18, M1読み出し回路19に並列に読み出す。

【0033】タイミングT2において、M0読み出し回路18では、メモリマクロ14より読み出したプログラムコードにエラー訂正コードECCによる訂正が行われたため、エラー検出訂正を示す信号M0ECCが“1”となり、訂正カウンタ22がカウントアップし計数値1hになる。また、M1読み出し回路19では、メモリマクロ107より読み出したプログラムコードにはエラー訂正コードECCによる訂正が行われていないため、エラー検出訂正を示す信号M1ECCは“0”であり、訂正カウンタ23はカウントアップせず計数値0hのままである。

【0034】タイミングT3において、タイミングT2と同様に、M0読み出し回路18では、メモリマクロ14より読み出したプログラムコードにはエラー訂正コードECCによる訂正が行われたため、信号M0ECCは“1”となり、訂正カウンタ22はカウントアップし計数値2hになる。また、M1読み出し回路19では、メモリマクロ15より読み出したプログラムコードにはエラー訂正コードECCによる訂正が行われていないため、信号M1ECCは“0”的ままで、訂正カウンタ23はカウントアップせず計数値0hのままである。

【0035】タイミングT4において、M0読み出し回

路18では、メモリマクロ14より読み出したプログラムコードにはエラー訂正コードECCによる訂正が行われていないため、信号M0ECCは“0”的ままで、訂正カウンタ22はカウントアップせず計数値2hのままである。また、M1読み出し回路19では、メモリマクロ15より読み出したプログラムコードにはエラー訂正コードECCによる訂正が行われたため、信号M1ECCは“1”となり、訂正カウンタ207は、カウントアップし計数値1hになる。

【0036】タイミングTn-2において、タイミングT3と同様に、M0読み出し回路18で、エラー訂正コードECCによる訂正が行われたため、訂正カウンタ22はカウントアップし計数値3hになる。また、M1読み出し回路19では、エラー訂正コードECCによる訂正が行われていないため、訂正カウンタ23はカウントアップせず計数値1hのままである。

【0037】タイミングTn-1において、タイミングT4と同様に、M0読み出し回路18で、エラー訂正コードECCによる訂正が行われていないため、訂正カウンタ22はカウントアップせず計数値3hのままである。また、M1読み出し回路19では、エラー訂正コードECCによる訂正が行われたため、訂正カウンタ23はカウントアップし計数値2hになる。

【0038】次に、タイミングTnにおいて、アドレス生成回路12から出力されるアドレス信号がメモリマクロの最上位アドレスから最下位アドレスに変化し、リセット出力信号が“1”に変化する。このリセット出力信号の“1”変化に同期して、比較回路24は、訂正カウンタ22および訂正カウンタ23の双方の計数値を比較し、この場合、訂正カウンタ23の計数値が訂正カウンタ22の計数値より小さいので、比較結果には“1”を出力する。この比較結果“1”をマクロ選択信号として入力するセレクタ26の出力は、図8に示されるように、常にM1読み出し回路17の出力となり、メモリマクロ15のプログラムコードがバスに出力されCPUによりフェッチされる。

【0039】また、リセット出力信号が1となった後は、アドレス生成回路201は、プログラムカウンタなどの出力を受け、メモリマクロ14あるいはメモリマクロ15からプログラムコードをフェッチするためのアドレス信号を生成し、セレクタ26により、メモリマクロ15のプログラムコードがバスに出力されCPUによりフェッチされる。

【0040】なお、図2のタイミング図の動作説明では、リセット出力信号の“1”変化に同期して、比較結果が1となり、メモリマクロ15のプログラムコードがバスに出力される例を取り上げたが、訂正カウンタ22の計数値が訂正カウンタ23の計数値と同じか、それより小さい場合は、比較結果が“0”となり、メモリマクロ14のプログラムコードがバスに出力されCPUによ

リフェッチされる。

【0041】上述したように、本実施形態の半導体集積回路では、リセットごとにメモリマクロ14, 15のエラー検出訂正をそれぞれ計数して比較し、計数値の小さいメモリマクロを選択し、特性の良いメモリマクロを使用することができ、チップサイズの増加がほとんど無く、出荷後の製品寿命および信頼性を延ばすことができる。

$$FB = 1 - \{ (1-P) 38 + 38 * P \} (1-P)^{37} \quad (\text{単位: ppm})$$

仮に、製品初期のメモリマクロ14のビット当たり不良率Pを0. 2 ppm、メモリマクロ15のビット当たり不良率Pを0. 25 ppmとすると、メモリマクロ14, メモリマクロ15のブロック当たり不良確率FBは、それぞれ0. 000028 ppm, 0. 000044 ppmとなる。

【0044】次に、128 kBのメモリマクロの不良確率FMは、ブロック当たり不良品確率FBから換算され、下記の算出式で求められる。

$$FM = 1 - (1 - FB) 32768 \quad (\text{単位: ppm})$$

この式を、製品初期のメモリマクロ14, メモリマクロ15に当てはめると、メモリマクロ14, メモリマクロ15のメモリマクロ当たり不良確率FMは、それぞれ0. 92 ppm, 1. 44 ppmとなる。

【0045】次に、10年後にメモリマクロ14のビット当たり不良率Pが0. 4 ppmまで低下し、メモリマクロ107のビット当たり不良率Pが0. 3 ppmまで低下したと仮定すると、上述の算出式から、メモリマクロ14, メモリマクロ15のメモリマクロ当たり不良確率FMは、それぞれ3. 69 ppm, 2. 07 ppmとなる。

【0046】このため、従来の半導体集積回路では、製品初期すなわち製品出荷前のテスト時に不良確率の低いメモリマクロ14が選択および固定されるので、製品としての不良品確率は3. 69 ppmとなる。一方、本実施形態の半導体集積回路では、10年後において不良確率の低いメモリマクロ15が選択されているので、製品としての不良品確率は、2. 07 ppmとなり、製品出荷から10年後においては、従来の半導体集積回路より、1. 62 ppmだけ向上する。

【0047】図4は、本発明の半導体集積回路の実施形態2を示すブロック図である。図4を参照すると、本実施形態の半導体集積回路は、アドレス生成回路11, デコーダ13, メモリマクロ14, メモリマクロ15, M0読み出し回路20, M1読み出し回路21, 比較回路25, セレクタ26, 切換設定回路27を備える。ここで、M0読み出し回路20, M1読み出し回路21, 比較回路25以外の各ブロックは、図7で説明した従来の半導体集積回路の各ブロックと同じであり、重複説明を省略する。

【0048】M0読み出し回路20, M1読み出し回路

【0042】たとえば、メモリマクロの構成を1ブロック=32bit+ECC6bitとし1ビット訂正を行う具体例について、次に説明する。図3は、この具体例における効果をまとめた説明図である。

【0043】ブロック当たり不良確率FBは、ビット当たり平均不良率をPとすると、下記の算出式で求められる。

$$FB = 1 - \{ (1-P) 38 + 38 * P \} (1-P)^{37} \quad (\text{単位: ppm})$$

21は、図7におけるM0読み出し回路16, M1読み出し回路17と同じく、メモリマクロ14, メモリマクロ15のプログラムコード読み出しありエラー検出訂正をそれぞれ行い、読み出したプログラムコードをセレクタ26にそれぞれ出力し、エラー検出訂正の状況を示す信号をそれぞれ比較回路25に出力する。また、これらエラー検出訂正の状況を示す信号は2つの信号をそれぞれ含み、M0読み出し回路20は、エラー検出を示す信号M0ECCと、訂正不能エラーを示す信号M0ERRとを出力し、M1読み出し回路21は、訂正不能エラーを示す信号M1ECCと、訂正不能エラーを示す信号M1ERRとを出力する。

【0049】すなわち、エラー検出訂正の状況を示す信号M0ECC, M0ERRは、メモリマクロ14から読み出されたプログラムコードに対しエラー検出しなかった場合それぞれ“0”, “0”になり、エラー訂正した場合それぞれ“1”, “0”になり、エラー訂正不能であった場合それぞれ“1”, “1”になる。また、エラー検出訂正の状況を示す信号M1ECC, M1ERRも、メモリマクロ15から読み出されたプログラムコードに対し、同様に出力される。

【0050】比較回路25は、アドレスごとに、M0読み出し回路20, M1読み出し回路21から信号M0ECC, M0ERRおよび信号M1ECC, M1ERRをそれぞれ入力し、信号M0ECCまたはM1ECC<信号M0ERRまたはM1ERRと重み付けして比較し、小さい重みの信号に対応したメモリマクロの選択信号を比較結果としてセレクタ26に出力する。たとえば、信号M0ECC, M0ERR<信号M1ECC, M1ERRであれば、比較結果“0”をセレクタ26に出力し、信号M0ECC, M0ERR>信号M1ECC, M1ERRであれば、比較結果“1”をセレクタ26に出力する。

【0051】図5は、本実施形態の半導体集積回路における読み出し動作例を示すタイミング図である。図8, 図5を参照して、本実施形態の半導体集積回路における読み出し動作を説明する。ここで、説明を簡略にするため、従来と同じく、メモリマクロ14, メモリマクロ15のメモリ容量をそれぞれ128 kBとする。

【0052】まず、切換設定回路27の切換設定信号が“0”である場合、セレクタ26において、マクロ選択

信号として比較回路25の比較結果が入力されているが、図8に示されるように、マクロ選択信号の入力は無効になり、アドレス最上位ビット信号の“0”または

“1”に対応して、M0読み出し回路20またはM1読み出し回路21の出力が選択され、メモリマクロ14またはメモリマクロ15の読み出しプログラムコードがバスに出力される。すなわち、メモリマクロ14、メモリマクロ15が共に使用され、メモリ容量の公称値をメモリマクロ14、メモリマクロ15合計の256kBとすることができる。

【0053】一方、切換設定回路27の切換設定信号が“1”である場合、使用するメモリ容量を128kBとし、メモリマクロ104とメモリマクロ107には同一内容のプログラムコードが予め書き込まれている。また、セレクタ26において、図8に示されるように、アドレス最上位ビット信号の入力は無効になり、マクロ選択信号として入力されている比較回路25の比較結果の“0”または“1”に対応して、M0読み出し回路20またはM1読み出し回路21の出力が選択され、メモリマクロ14またはメモリマクロ15の読み出しプログラムコードがバスに出力される。

【0054】この比較回路25の比較結果は、図5に示されるように、タイミングT0～T9でアドレスごとに並列に行われる各メモリマクロ14、15のデータ読み出しおよびエラー検出訂正の結果により出力される。

【0055】まず、タイミングT0において、電源電圧を投入し、リセット入力信号が“0”となり、アドレス生成回路11、M0読み出し回路20、M1読み出し回路21、比較回路25はリセットされ、比較結果は“0”となる。

【0056】その後、タイミングT1以降において、リセット入力信号が“1”となり、リセットが解除され、アドレス生成回路12が、たとえば、プログラムカウンタなどの出力を受け、メモリマクロ14またはメモリマクロ15からプログラムコードをフェッチするためのアドレス信号としてアドレス0、アドレスa～アドレスgを順に生成してデコーダ13に出力し、デコーダ13により指定された同一アドレスのプログラムコードおよびエラー訂正コードECCがメモリマクロ14、メモリマクロ15からM0読み出し回路20、M1読み出し回路21に並列に読み出される。

【0057】また、M0読み出し回路20、M1読み出し回路21において、メモリマクロ14、メモリマクロ15のプログラムコード読み出しおよびエラー検出訂正がそれぞれ行われ、読み出したプログラムコードがセレクタ26にそれぞれ出力され、エラー検出訂正の状況を示す信号がそれぞれ比較回路25に出力され、比較回路25からアドレスごとの比較結果がセレクタ26にマクロ選択信号として出力され、セレクタ26により、M0読み出し回路20またはM1読み出し回路21の出力が

アドレスごとに選択され、メモリマクロ14またはメモリマクロ15のプログラムコードがバスに出力され、CPUによりフェッチされる。

【0058】たとえば、タイミングT2において、メモリマクロ14、メモリマクロ15のアドレスaのプログラムコードは双方とも訂正の必要がなかったため、エラー検出訂正の状況を示す信号M0ECC、M0ERRおよび信号M1ECC、M1ERRは、“0, 0”および“0, 0”となり、比較結果が“0”となり、メモリマクロ14のプログラムコードがバスに出力される。

【0059】タイミングT3において、メモリマクロ14のアドレスbのプログラムコードはメモリマクロ14では訂正の必要がなかったが、メモリマクロ15のアドレスbのプログラムコードは訂正による修復が行われたため、信号M0ECC、M0ERRおよび信号M1ECC、M1ERRは、“0, 0”, “1, 0”となり、比較結果が“0”となり、メモリマクロ14のプログラムコードがバスに出力される。

【0060】タイミングT4において、メモリマクロ14のアドレスcのプログラムコードは訂正による修復が行われたが、メモリマクロ15のアドレスcのプログラムコードは訂正の必要がなかったため、信号M0ECC、M0ERRおよび信号M1ECC、M1ERRは、“1, 0”, “0, 0”となり、比較結果が“1”となり、メモリマクロ15のプログラムコードがバスに出力される。

【0061】タイミングT5において、メモリマクロ14のアドレスdのプログラムコードは訂正による修復が行われたが、メモリマクロ15のアドレスdのプログラムコードは訂正によっても修復が不可能であったため、信号M0ECC、M0ERRおよび信号M1ECC、M1ERRは、“1, 0”, “1, 1”となり、比較結果が“0”となり、メモリマクロ14のプログラムコードがバスに出力される。

【0062】タイミングT6において、メモリマクロ14のアドレスeのプログラムコードは訂正によっても修復が不可能であったが、メモリマクロ15のアドレスeのプログラムコードは訂正による修復が行われたため、信号M0ECC、M0ERRおよび信号M1ECC、M1ERRは、“1, 1”, “1, 0”となり、比較結果が“1”となり、メモリマクロ15のプログラムコードがバスに出力される。

【0063】タイミングT7において、メモリマクロ14のアドレスfのプログラムコードは訂正の必要がなかったが、メモリマクロ15のアドレスfのプログラムコードは訂正によっても修復が不可能であったため、信号M0ECC、M0ERRおよび信号M1ECC、M1ERRは、“0, 0”, “1, 1”となり、比較結果が“0”となり、メモリマクロ14のプログラムコードがバスに出力される。

【0064】タイミングT8において、メモリマクロ14のアドレスgのプログラムコードは訂正によても修復が不可能であったが、メモリマクロ15のアドレスgのプログラムコードは訂正の必要がなかつたため、信号M0ECC, M0ERRおよび信号M1ECC, M1ERRは、“1, 1”, “0, 0”となり、比較結果が“1”となり、メモリマクロ15のプログラムコードがバスに出力される。

【0065】タイミングT9において、メモリマクロ14のアドレスhのプログラムコードは訂正による修復が行われ、メモリマクロ15のアドレスhのプログラムコードも訂正による修復が行われたため、信号M0ECC, M0ERRおよび信号M1ECC, M1ERRは、“1, 0”, “1, 0”となり、比較結果が“0”となり、メモリマクロ14のプログラムコードがバスに出力される。

【0066】上述したように、本実施形態の半導体集積回路では、メモリマクロの1アドレスごとに訂正による修復が少ないメモリマクロを選択することができるので、さらに、出荷後の製品寿命および信頼性を延ばすことができる。

【0067】たとえば、メモリマクロの構成を1ブロック=32bit+ECC6bitとし1ビット訂正を行う具体例について、次に説明する。図6は、この具体例における効果をまとめた説明図である。

【0068】仮に、メモリマクロ14, メモリマクロ15において、ビット当たり不良率P=0.20ppmである割合がそれぞれ70%, 50%であり、ビット当たり不良率P=0.25ppmである割合がそれぞれ30%, 50%である場合、メモリマクロ14, メモリマクロ15のビット当たり平均不良率Pは、それぞれ0.22ppm, 0.23ppmとなり、前述の計算式により、メモリマクロ14, メモリマクロ15のメモリマクロ当たり不良確率FMは、それぞれ1.06ppm, 1.17ppmとなる。図7に示した従来の半導体集積回路では、不良確率FMの低いメモリマクロを選択するので、メモリマクロ14を選択し、製品としての不良品確率は1.06ppmとなる。

【0069】一方、本実施形態の半導体集積回路において、説明を簡潔にするため、メモリマクロ14にてビット当たり不良率Pが高いアドレスと同一アドレスのメモリマクロ15は、全て、ビットあたりの不良率Pが低いと仮定し、逆に、メモリマクロ15にて1ビット当たり不良率Pが高いアドレスと同一アドレスのメモリマクロ14は、全て、ビット当たり不良率Pが低いと仮定する。こうした場合、セレクタ26により選択されるメモリマクロのアドレスのビット当たり不良率Pは、全て0.2ppmとなり、製品としての不良品確率は、0.

92ppmとなり、従来の半導体集積回路より0.14ppmだけ向上する。

【0070】なお、上述した実施形態1, 2の半導体集積回路では、メモリ容量の公称値を2つのメモリマクロの合計とするか、一方のメモリマクロのみとするかの切換設定により、1製品の開発で複数のメモリ容量製品を展開する場合について説明してきたが、初めから切換設定回路を備えず、複数メモリマクロのメモリ容量合計の1部メモリ容量のみを使用する高信頼性用半導体集積回路とすることも可能である。

【0071】

【発明の効果】以上説明したように、本発明による半導体集積回路は、チップサイズの増加がほとんど無く、出荷後の製品寿命および信頼性が向上するなどの効果がある。

【0072】その理由は、リセットごとに各メモリマクロのエラー検出訂正をそれぞれ計数して比較し、計数値の小さいメモリマクロを選択し、特性の良いメモリマクロを使用することができるためである。また、メモリマクロの1アドレスごとに訂正による修復が少ないメモリマクロを選択することができるためである。

【図面の簡単な説明】

【図1】本発明の半導体集積回路の実施形態1を示すブロック図である。

【図2】図1の半導体集積回路における読み出し動作例を示すタイミング図である。

【図3】図1の半導体集積回路の効果を説明するための説明図である。

【図4】本発明の半導体集積回路の実施形態2を示すブロック図である。

【図5】図4の半導体集積回路における読み出し動作例を示すタイミング図である。

【図6】図4の半導体集積回路の効果を説明するための説明図である。

【図7】従来の半導体集積回路の1例を示すブロック図である。

【図8】図7の半導体集積回路におけるセレクタ26の入出力機能の真理値表を示す説明図である。

【符号の説明】

11, 12 アドレス生成回路

13 デコーダ

14, 15 メモリマクロ

16, 18, 20 M0読み出し回路

17, 19, 21 M1読み出し回路

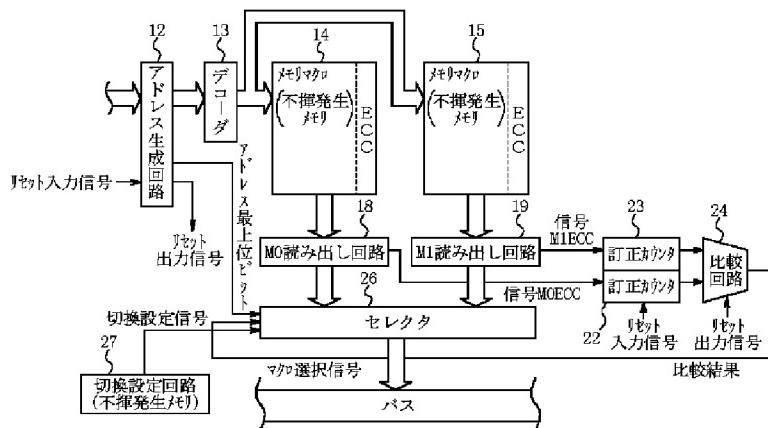
22, 23 訂正カウンタ

24, 25 比較回路

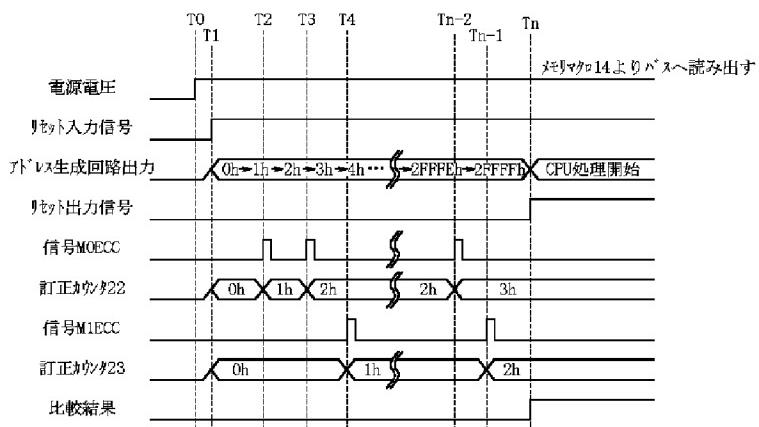
26 セレクタ

27 切換設定回路

【図1】



【図2】



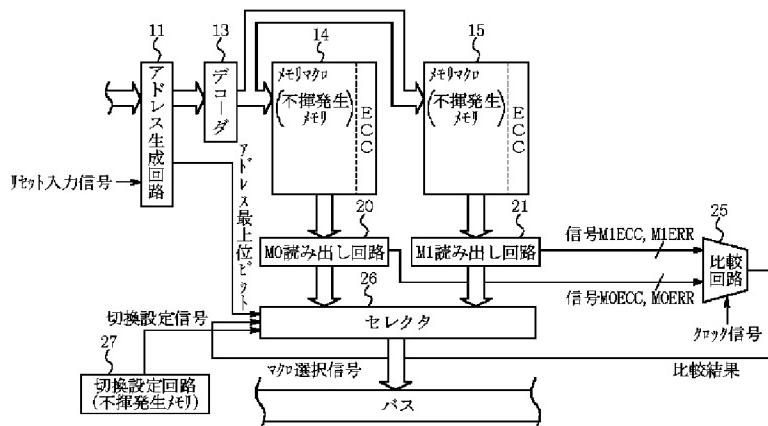
【図3】

製品初期	メモリマクロ 14	ビット当たり 不良確率P (ppm) (仮定)	ブロック当たり 不良確率PB (ppm)	メモリマクロ当たり 不良確率PM (ppm)	選択メモリマクロ	
					従来	本実施形態
10年後	メモリマクロ 14	0.20	0.000028	0.92	○	○
	メモリマクロ 15	0.25	0.000044	1.44	—	—
	メモリマクロ 14	0.40	0.000112	3.69	○	—
	メモリマクロ 15	0.30	0.000063	2.07	—	○

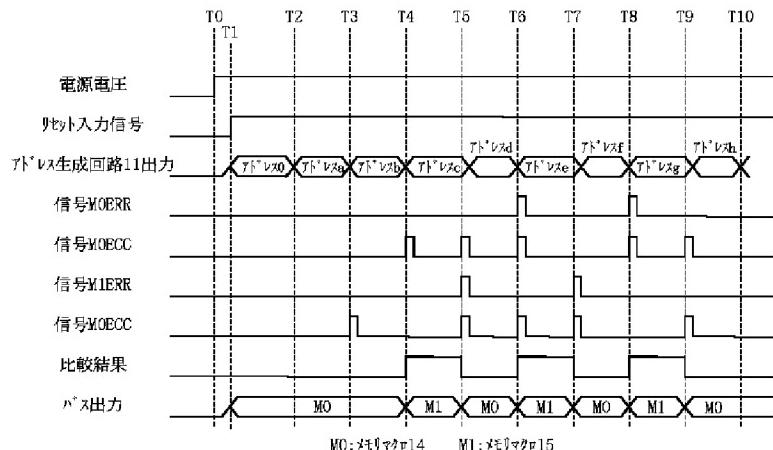
↓

本実施形態における10年後の効果 (製品としての不良品確率の差 ppm)	1.62
---	------

(四四)



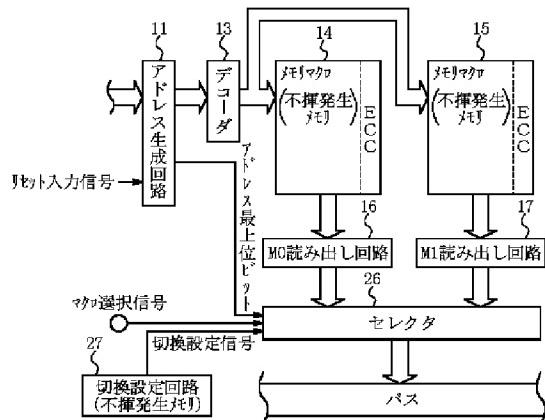
【図 5】



【图6】

		ピット当たり 不良率P=0.20 ppmの割合 (仮定)	ピット当たり 不良率P=0.25 ppmの割合 (仮定)	ピット当たり 平均不良率P (ppm)	プロック当たり 不良確率PB (ppm)	メタリック 当たり 不良確率 PM (ppm)	選択 メタリック
従来	メタリック 14	70%	30%	0.22	0.000032	1.06	○
	メタリック 15	50%	50%	0.23	0.000036	1.17	—
実施形態	メタリック 14+15	—	—	0.20	0.000028	0.92	アドレッセ

【図7】



【図8】

切換設定信号	マクロ選択信号	アドレス最上位ビット	セレクタ26の出力
0	0	0	M0読みだし回路14
0	0	1	M1読みだし回路15
0	0	0	M0読みだし回路14
0	0	1	M1読みだし回路15
1	1	0	M0読みだし回路14
1	1	1	M0読みだし回路14
1	1	0	M1読みだし回路15
1	1	1	M1読みだし回路15

フロントページの続き

(51) Int.CI.7 識別記号
 G 1 1 C 17/00
 16/06
 H 0 1 L 27/04
 21/822

F I テーマコード (参考)
 G 1 1 C 17/00 D
 6 3 9 C
 6 3 9 Z
 H 0 1 L 27/04 F

F ターム(参考) 5B003 AB05 AC07 AD02 AD03 AD04
 AD08 AE04
 5B018 GA03 HA14 KA18 QA13
 5B025 AD01 AD04 AD05 AD13 AD16
 AE08
 5F038 AV16 DF05 EZ20
 5L106 AA09 BB12 CC09 CC31 DD22
 DD25 EE02 FF05